

# LEAD FRAME, METHOD OF PRECIOUS METAL PARTIAL PLATING TO LEAD FRAME AND SEMICONDUCTOR DEVICE THAT USED LEAD FRAME

Publication number: JP9199655

Publication date: 1997-07-31

Inventor: HOTTA HIDEO; HATSUDA CHIAKI

Applicant: DAINIPPON PRINTING CO LTD

Classification:

- International: C23C18/00; C25F5/00; H01L23/50; C23C18/00;  
C25F5/00; H01L23/48; (IPC1-7): H01L23/50;  
C23C18/00

- European:

Application number: JP19960055315 19960220

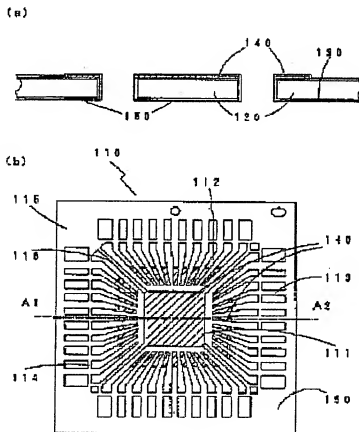
Priority number(s): JP19960055315 19960220; JP19950275076 19950929;  
JP19950322523 19951117

Report a data error here

## Abstract of JP9199655


**PROBLEM TO BE SOLVED:** To prevent the generation of delamination caused by a lead frame regardless of the assembling condition of a semiconductor device by thin precious metal plating of silver, gold, platinum or palladium to all or to the predetermined part of the surface of copper part on the side that contacts the sealing resin of the lead frame.

**SOLUTION:** A lead frame 110 is comprised of lead frame material 120 of which outer shape is worked, copper plating 130 is applied to all surface of the lead frame material 120, partial silver plating 140 is applied to the predetermined region of the lead frame material 120 and further the thin plating of one of the silver, the gold, the platinum or the palladium, typically the silver plating 150 is applied to all surface of the lead frame material 120. With this, the oxidation of the copper plating 130 is suppressed to reduce the thickness of an oxide film and as the generation of  $\text{Cu}_2\text{O}$  is preceded than the generation of  $\text{CuO}$  in the oxidation, the oxidized film is harder to destroy and the generation of the delamination of the sealing resin in the manufacturing of the semiconductor device is suppressed.



**Family list**15 family members for: **JP9199655**

Derived from 11 applications

 **Back to JP9199655**

- 1 LEAD FRAME, METHOD FOR PARTIAL NOBLE PLATING OF SAID LEAD FRAME AND SEMICONDUCTOR DEVICE HAVING SAID LEAD FRAME**  
**Inventor:** HORITA HIDEO (JP); HATSUTA CHIAKI **Applicant:** DAINIPPON PRINTING CO LTD (JP)  
(JP)  
**EC:** H01L23/495M1 **IPC:** H01L23/495; H01L23/48; (IPC1-7): H01L23/495 (+1)  
**Publication info:** **CA2186695 A1** - 1997-03-30  
**CA2186695 C** - 2001-08-07
- 2 Connecting frame for plastics embedded semiconductor component**  
**Inventor:** HORITA HIDEO (JP); HATSUTA CHIAKI **Applicant:** DAINIPPON PRINTING CO LTD (JP)  
(JP)  
**EC:** H01L23/495M1 **IPC:** H01L23/495; H01L23/48; (IPC1-7): H01L23/50 (+1)  
**Publication info:** **DE19640256 A1** - 1997-04-03  
**DE19640256 B4** - 2004-04-08
- 3 LEAD FRAME, METHOD OF PRECIOUS METAL PARTIAL PLATING TO LEAD FRAME AND SEMICONDUCTOR DEVICE THAT USED LEAD FRAME**  
**Inventor:** HOTTA HIDEO; HATSUDA CHIAKI **Applicant:** DAINIPPON PRINTING CO LTD  
**EC:** **IPC:** C23C18/00; C25F5/00; H01L23/50 (+5)  
**Publication info:** **JP3594724B2 B2** - 2004-12-02  
**JP9199655 A** - 1997-07-31
- 4 LEAD FRAME, METHOD FOR PARTIALLY PLATING LEAD FRAME WITH NOBLE METAL AND SEMICONDUCTOR DEVICE FORMED BY USING THE LEAD FRAME**  
**Inventor:** HOTTA HIDEO; HATSUDA CHIAKI **Applicant:** DAINIPPON PRINTING CO LTD  
**EC:** **IPC:** C23C18/42; C23C28/02; C25D5/02 (+13)  
**Publication info:** **JP3701373B2 B2** - 2005-09-28  
**JP9195068 A** - 1997-07-29
- 5 LEAD FRAME**  
**Inventor:** SASAKI MASAHITO **Applicant:** DAINIPPON PRINTING CO LTD  
**EC:** **IPC:** H01L23/48; H01L23/48; (IPC1-7): H01L23/48  
**Publication info:** **JP9116065 A** - 1997-05-02
- 6 PARTIAL NOBLE METAL PLATING METHOD OF LEAD FRAME**  
**Inventor:** HOTTA HIDEO; HATSUDA CHIAKI **Applicant:** DAINIPPON PRINTING CO LTD  
**EC:** **IPC:** H01L23/50; H01L23/48; (IPC1-7): H01L23/50  
**Publication info:** **JP2004282103 A** - 2004-10-07
- 7 SEMICONDUCTOR DEVICE**  
**Inventor:** HOTTA HIDEO; HATSUDA CHIAKI **Applicant:** DAINIPPON PRINTING CO LTD  
**EC:** **IPC:** H01L23/50; H01L23/48; (IPC1-7): H01L23/50  
**Publication info:** **JP2004343136 A** - 2004-12-02
- 8 LEAD FRAME, METHOD FOR PARTIALLY PLATING LEAD FRAME WITH NOBLE METAL AND SEMICONDUCTOR DEVICE FORMED BY USING THE LEAD FRAME**  
**Inventor:** HORITA HIDEO (JP); HATSUTA CHIAKI **Applicant:** DAINIPPON PRINTING CO LTD (JP)  
(JP)  
**EC:** H01L23/495M1 **IPC:** H01L23/495; H01L23/48; (IPC1-7): H01L23/495  
**Publication info:** **KR100266726B B1** - 2000-09-15
- 9 METHOD FOR PARTIAL NOBLE PLATING OF A LEAD FRAME AND SEMICONDUCTOR DEVICE HAVING SAID LEAD FRAME**  
**Inventor:** HORITA HIDEO (JP); HATSUTA CHIAKI **Applicant:** DAINIPPON PRINTING CO LTD (JP)  
(JP)  
**EC:** **IPC:** H01L23/495; H01L23/48; (IPC1-7): H01L23/495  
**Publication info:** **KR100271424B B1** - 2000-11-15

- 10 Lead frame method for partial noble plating of said lead frame and semiconductor device having said lead frame**  
**Inventor:** HATSUTA CHIAKI; HORITA HIDEO **Applicant:** DAINIPPON PRINTING CO LTD  
**EC:** H01L23/495M1 **IPC:** H01L23/495; H01L23/48; (IPC1-7): H01L23/495 (+3)  
**Publication info:** SG60018 A1 - 1999-02-22
- 11 Lead frame, method for partial noble plating of said lead frame and semiconductor device having said lead frame**  
**Inventor:** HORITA HIDEO (JP); HATSUTA CHIAKI **Applicant:** DAINIPPON PRINTING CO LTD (JP)  
**EC:** H01L23/495M1 **IPC:** H01L23/495; H01L23/48; (IPC1-7): H01L23/495  
**Publication info:** US6034422 A - 2000-03-07

---

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199655

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. <sup>6</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 23/50			H 0 1 L 23/50	D
C 2 3 C 18/00			C 2 3 C 18/00	

審査請求 未請求 請求項の数11 F D (全 13 頁)

(21) 出願番号	特願平8-55315	(71) 出願人	000002897 大日本印刷株式会社 東京都新宿区市谷加賀町一丁目1番1号
(22) 出願日	平成8年(1996)2月20日	(72) 発明者	堀田 日出男 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内
(31) 優先権主張番号	特願平7-275076	(72) 発明者	初田 千秋 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内
(32) 優先日	平7(1995)9月29日	(74) 代理人	弁理士 小西 淳美
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平7-322523		
(32) 優先日	平7(1995)11月17日		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 リードフレームとリードフレームの部分貴金属めっき方法、及び該リードフレームを用いた半導体装置

(57) 【要約】

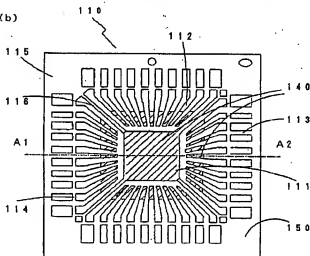
【課題】 ICの組み立て条件によらず、リードフレームに起因するデラミネーションの発生を防止でき、且つ、ボンディング性を損なわない銅合金製のリードフレームを提供する。同時に該リードフレームの作製方法、及び該リードフレームを用いた半導体装置を提供する。

【解決手段】 銅合金材からなり、ワイヤボンディング用ないしダイボンディング用の、銀、金、パラジウムの少なくとも1つからなる部分貴金属めっきが施された樹脂封止型の半導体装置用リードフレームであって、少なくとも封止樹脂と接する側の銅部表面の全部ないし所定の部分に銀、金、白金、パラジウムの少なくとも1つからなる薄い貴金属めっきが施されている。

(a)



(b)



部分的に施していた。また、銀ペースト等を介して半導体素子にダイボンディングする側のダイパッド1011表面にも銀めっきを必要とし、銀めっきを施していた。特に、インナーリード1012のワイヤボンディング領域やダイパッド1011のダイボンディング領域等の銀めっきが必要な領域のみへの銀めっきを、部分銀めっきと言っている。尚、図10(b)(イ)はリードフレーム1010の平面図で、図10(b)(ロ)は、図10(b)(イ)のF1-F2における断面図である。

【0003】銅合金で形成され、必要部分に銀めっきが施される半導体装置用リードフレームにおいては、従来、図9に示すように部分銀めっきの下の地めっきとして、0.1~0.3 $\mu$ m程度の厚さの銅(Cu)めっきを施した後に部分銀めっきが行われている。そして、この部分銀めっきの際に、必要部以外に薄くついた銀を、このために、電解剥離をし、次いで、銅部分の表面酸化、水酸化等による変色を防止する変色防止処理を行っている。銅合金製リードフレームの、このようにして設けられた銅下地めっきは、42合金(42%ニッケル-鉄合金)等鉄系のリードフレームの表面に銀めっきの下地めっきとして銅めっきを施した場合とは異なり、通常剥離作業は行うことなく、リードフレームの表面に形成したまま使用していた。しかしながら、このように処理された銅合金製リードフレームに対しても、最近、半導体装置組み立て工程及び実装工程で生じるパッケージのデラミネーションが問題視されるようになってきた。そして、銅合金製リードフレームを用いた場合に発生する封止樹脂とダイパッド裏面間で生じるデラミネーションは、リードフレームの表面処理方法、組み立て条件等と密接な関係があることが分かってきた。尚、一般に、デラミネーションとは、ICパッケージ内の界面、ICチップと封止樹脂間、タイボンディング剤とICチップ間、ダイパッド表面とタンボンディング剤間、封止樹脂とダイパッド裏面間等で生じる剥離を言うが、リードフレームが原因となるデラミネーションは、封止樹脂とダイパッド裏面間で生じるものであり、ICの信頼性を低下させ、IC組み立て工程や実装工程における良品率を低下させるため問題となっていた。上記処理による銅合金製のリードフレームのデラミネーションは、IC組み立て工程中の加熱処理(工程)で銅合金表面に酸化膜が生じ、酸化膜と金属の間の密着強度が十分であることが発生の原因と考えられている。

【0004】一方、封止樹脂とダイパッド裏面間、さらには封止樹脂とリードフレーム全面の間の密着強度を向上させ、デラミネーション発生を防止するためのリードフレームとして、特許平7-503103には、接着性を改善するためにクロムと亜鉛の混合体あるいはそれぞれの単体からなる薄い被膜で全面を被膜されたリードフレームが開示されている。しかし、このリードフレームでは銀めっき部分も他の金属被膜で覆われるため、金ワ

イヤボンディングの安定性が劣るという問題があった。【0005】また、IC組み立て工程の条件は、組立を実施するICメーカーにより異なり、銅合金製リードフレームの表面酸化状態、酸化膜形成過程もメーカー毎に異なる為、リードフレームに起因するデラミネーションの発生状況がIC組み立てメーカーによって異なっていた。例えば、ベンゾトリアゾール系の被膜により、銅の酸化、水酸化による変色を防止する処理方法では、IC組み立て温度が低いメーカーに対しては、デラミネーション防止効果が得られるが、IC組み立て温度が高いメーカーではデラミネーション防止効果が得られない。このため、従来はデラミネーションに対する対策をIC組み立て条件に合わせて各メーカー毎に行っていたのが実状で、ICの組み立て条件によらず、リードフレームに起因するデラミネーションに対応できる手段が求められていた。

#### 【0006】

【発明が解決しようとする課題】このように、銅合金製のリードフレームにおいては、リードフレームに起因した半導体装置(IC)におけるデラミネーションを防止し、ICの信頼性低下、IC組み立て工程、実装工程における良品率の低下を防止することが望まれており、特に、ICの組み立て条件によらず、リードフレームに起因するデラミネーションの発生を防止できるものが求められていた。本発明は、このような状況のもと、ICの組み立て条件によらず、リードフレームに起因するデラミネーションの発生を防止でき、且つ、ボンディング性を損なわない銅合金製のリードフレームと、その製造方法を提供しようとするものである。同時に、薄リードフレームを用いた半導体装置を提供しようとするものである。

#### 【0007】

【課題を解決するための手段】本発明のリードフレームは、銅合金材からなり、ワイヤボンディング用ないしダイボンディング用の、銀、金、パラジウムの少なくとも1つからなる部分貴金属めっきが施された樹脂封止型の半導体装置用リードフレームであって、少なくとも封止樹脂と接する側の銅部表面の全部ないし所定の部分に銀、金、白金、パラジウムの少なくとも1つからなる薄い貴金属めっきが施されていることを特徴とするものである。そして、上記において、薄い貴金属めっきが0.5 $\mu$ m以下、0.001 $\mu$ m以上であることを特徴とするものである。そしてまた、上記における部分貴金属めっきは部分銀めっきであり、且つ、薄い貴金属めっきが薄い銀めっきであることを特徴とするものである。尚、銅合金を素材とするリードフレームにおいては、部分銀めっきの下地めっきとして0.1~0.3 $\mu$ m程度の厚さの銅めっきを形成した上に、部分銀めっきを施すのが一般的である。

【0008】本発明のリードフレームの部分貴金属め

としている。そして、電解めっきしない無電解めっきにより、薄い貴金属めっきを施すことにより、薄い貴金属めっきの膜厚の制御を簡単なものとしている。尚、上記において、薄い貴金属めっきを、リードフレームの部分貴金属めっきが施される領域を含め、リードフレーム全体に施す場合には、薄い貴金属めっきの被膜生成作業を簡単なものとする。そしてまた、部分貴金属めっきとして部分銀めっきを用い、且つ、薄い貴金属めっきとして薄い銀めっきを施すことにより、従来使用されている電解めっき方法や無電解めっき方法により、比較的簡単にめっきを安定的に行うことができるものとしている。同時に、金めっきや白金めっきに比べ生産コストを下げることができる。

【0012】本発明の半導体装置は、上記本発明のリードフレームを用いることにより、ワイヤボンディング工程における熱処理等を経て、封止用樹脂と接するリードフレーム表面の全部ないし所定の部分に、銀、金、パラジウム、白金の少なくとも一つと銅酸化膜からなる領域をもつ表面部を形成でき、これにより、封止樹脂と接する部分の割離を防止できるものとしている。そして、封止用樹脂と接するリードフレーム表面の全部ないし所定の部分の銅酸化膜形成領域において、貴金属の濃度が、X線光電子分光による測定で、0.1原子%以上であることにより、銅酸化膜のない銅酸化膜と銅合金との境での破壊強度を充分なものとして、20原子%未満であることにより、封止樹脂との密着性が劣る貴金属の特質をカバーすることができ、銅酸化膜と封止樹脂との密着性を充分なものとする。

【0013】

【実施例】本発明のリードフレームの実施例を以下、図にそって説明する。実施例1を挙げる。図1は本発明のリードフレームの実施例1を示したもので、図1(b)はその平面図を、図1(a)はA1-A2における断面の要部拡大図である。図1中、110はリードフレーム、111はダイパッド、112はインナーリード、113はアウターリード、114はゴムバー、115はフレーム、116は吊りバー、120はリードフレーム素材(銅合金)、130は銅めっき、140は部分銀めっき、150は薄い銀めっきである。本実施例のリードフレーム110は、厚さ0.15mmの銅合金材(古河電気工業株式会社製EFTEC64T-1/2H材)からエッチング加工により図1(b)のような形状に外形加工されたリードフレーム素材120に対し、銅めっき130を全面に施してから、この上に所定の領域にのみ部分銀めっき140を施し、さらに全面に薄い銀めっき150を施したものである。本実施例においては、銅めっき厚を0.1μm、部分銀めっき厚を3μm、薄い銀めっき厚を0.01μmとしたが、銅めっき厚としては、0.1~0.3μm、部分めっき厚としては1.5~10μm、薄いめっき厚としては0.001~0.5

μmが好ましい。また、リードフレーム素材として古河電気工業株式会社製の銅合金EFTEC64T-1/2H材を用いているが、本発明はこれに限定されることはなく、他の銅合金でも良い。

【0014】本実施例のリードフレームは、図9に示す従来のリードフレームのように、外形加工されたリードフレーム素材120に対し、銅めっき130を全面に施してから、この上に所定の領域にのみ部分銀めっき140を施しただけのものとは異なり、薄い銀めっき150を設けているものであり、薄い銀めっき150設けていることにより、銅めっき130の酸化を抑えて、酸化膜厚を低減するとともに、酸化の際にはCuOよりCu<sub>2</sub>Oの生成を優先させるため、酸化膜自体が破壊されにくくなり、半導体装置を作製した場合には封止樹脂とのデラミネーションの発生を抑えることができるものとしている。

【0015】本実施例のリードフレームを用いて半導体装置(ICパッケージ)を作製する工程を図5を用いて簡単に説明しておく。まず、図1に示す本実施例のリードフレーム110のダイパッド111を、ダウンセット加工し(図5(a))、ダイパッド111上に銀ペースト170を介して半導体素子160を接合する。(図5(b))次いで、銀ペースト170を加熱キュアした後、半導体素子160の電極パッド(端子)161とリードフレーム110の部分銀めっき140が施されたインナーリード112の先端とをワイヤ(金線)180でワイヤボンディングして電気的に結結する。(図5(c))次いで、樹脂封止、ゴムバーの除去、アウターリードのフォーミング処理、半田めっきを経て、半導体装置200を得る。(図5(d))以上の工程を経て、図1に示すリードフレーム110表面の銅めっき130、ないしリードフレーム素材(銅合金)120の一部は酸化され、図5(c)に示す銅酸化膜130Aを形成する。これと同時に、図1に示す銅めっき130上の薄い銀めっき150は、銅酸化膜130Aおよびリードフレーム素材(銅合金)120中へ拡散される。

【0016】上記本実施例のリードフレームを用いた半導体装置200の作製方法においては、図5(c)の段階で、加熱されたことによってダイパッド111における銅の表面で、X線光電子分光(ESCA)で観察すると、図6(a)ないし図6(b)に示すようになっている。尚、図6中、130Aは銅酸化膜、150Aは拡散された銀の存在領域、120はリードフレーム素材、120aは銅合金を示している。図1に示す薄い銀めっき150の銀は、銅酸化膜130A及び銅リードフレーム素材(銅合金)中に拡散され、図6(a)に示すように、銅酸化膜領域130A全体と銅合金120aの一部にAgが拡散される。銅酸化膜領域130Aは、CuO130Abを表面面にして、CuO130AbとCu<sub>2</sub>O130Aaを形成する。更に、Agの拡散を進める

したもので、図2(b)はその平面図で、図2(a)はB1-B2における断面の要部拡大図である。図2中、110はリードフレーム、111はダイパッド、112はインナーリード、113はアウトナーリード、114はダムバー、115はフレーム、120はリードフレーム素材(銅合金)、130は銅めっき、140は部分銅めっき、150は薄い銅めっきである。本実施例のリードフレーム110は、厚さ0.15mmの銅合金材〔古河電気工業株式会社製EFTEC64T-1/2H材〕からエッチング加工により図1(b)のような形状に外形加工されたリードフレーム素材120に対し、銅めっき130を全面に施し、この上全面に薄い銅めっき150を施し、更にこの上に所定の領域にのみ部分銅めっき140を施したものである。本実施例においては、銅めっき厚を0.1 $\mu$ m、薄い銅めっき厚を0.01 $\mu$ m、部分銅めっき厚を3 $\mu$ m、としたが、実施例1のリードフレームと同様、銅めっき厚としては、0.1~0.3 $\mu$ m、部分銅めっき厚としては1.5~10 $\mu$ m、薄い銅めっき厚としては0.001~0.5 $\mu$ mが好ましい。また、実施例1と同様に、リードフレーム素材として古河電気工業株式会社製の銅合金EFTEC64T-1/2H材を用いているが、これに限定されることはなく、他の銅合金でも良い。尚、薄い銅めっきを設けたことによる、ダイパッド裏面の銅酸化膜の密着性、封止樹脂密着強度の評価による結果は、実施例1の場合と同様であった。

【0022】次に、本発明のリードフレームの部分めっき方法を説明する。本発明のリードフレームの部分めっき方法の実施例1を挙げ、図3に基づいて説明する。本実施例は、前記本発明のリードフレームの実施例1を作製する製造方法である。先ず、外形加工された銅合金からなるリードフレーム110Aに対し、めっき前処理を施したものを用意し(図3(a))、この表面全体に銅めっき130を0.1 $\mu$ mの厚さで施した。(図3(b))

めっき前処理としては、エッチングにて外形加工された銅合金からなるリードフレーム110Aの全面をアルカリ水溶液で電解脱脂し、純水で洗浄した後、酸性液で表面に形成されている酸化膜を除去する酸活性化処理を行い、リードフレーム素材120である銅合金の表面を活性化して、再度純水で洗浄した。銅めっきは、液温50℃で20秒程度シアン化銅めっきを行い、約0.1 $\mu$ mの厚さに形成した。次いで、銅めっき130が施されたリードフレーム110の所定の部分にのみ部分銅めっき140を3.0 $\mu$ m厚さで施した。(図3(c))部分銅めっき140は、通常、リードフレームの半導体素子を搭載する側のダイパッド部、半導体素子とワイヤボンディングするインナーリード先端領域のみを露出させるようにマスキング治具で覆い、リードフレームを陰極として、めっき液をノズルより噴射しより吹きかける

方式の部分めっきにより行うが、この際、所定の部分以外の部分に不要な薄い銅めっきが形成されてしまうことが多々ある。この不要な薄い銅めっき部分を銀モレ部140Aと言っている。この為、後述する薄い銅めっき150を均一に形成するために、銀モレ部140A部を電解剥離により除去した。(図3(d))

電解剥離により銀モレ部140Aを除去した後、リードフレームの露出している銅めっき表面、部分銅めっき表面全体に、更に薄い銅めっき150を0.01の厚さで形成した。(図3(e))

このようにして、本発明のリードフレームの実施例1が形成できる。

【0023】次に、本発明のリードフレームの部分めっき方法の実施例2を挙げ、図4に基づいて簡単に説明する。本実施例は、前記本発明のリードフレームの実施例2を作製する製造方法であり、実施例1のリードフレームの部分めっき方法と異なり、銅めっきを施す前に薄い銅めっきを施すものである。先ず、外形加工された銅合金からなるリードフレーム110Aに対し、めっき前処理を施したものを用意し(図4(a))、この表面全体に銅めっき130を0.1 $\mu$ mの厚さで施した。(図4(b))

次いで、銅めっき130が施されたリードフレーム110A全面に薄い銅めっき150を0.01 $\mu$ mの厚さで施した。(図4(c))

この後、薄い銅めっき150が施されたリードフレーム110Aの所定の部分にのみ部分銅めっき140を3.0 $\mu$ m厚さで施した。(図3(c))

めっき前処理、銅めっき、銅めっき等は実施例1の方法と同様にして行った。

【0024】次に、本発明の半導体装置の実施例を挙げ、図にそって説明する。実施例1の半導体装置は、上記本発明のリードフレームの実施例1を用いたもので、図5に示すように、ワイヤボンディング工程、樹脂封止工程を経て作製されたものである。図7はその概略断面図である。実施例2の半導体装置は、上記本発明のリードフレームの実施例2を用いたもので、実施例1と同様に、ワイヤボンディング工程、樹脂封止工程を経て作製されたものであるが、外見上は、図7に示す実施例1と同じであるが、表面の銅酸化膜130Aの厚さや、拡散された銀の存在する領域が異なる。実施例1、実施例2の半導体装置とも、デラミネーションの発生は見られなかった。

【0025】このようにして作製される実施例の半導体装置のデラミネーションの発生防止の信頼性を確認するため、更に以下のテストを行った。前述の封止樹脂密着強度評価用の専用フレーム(ベタ状板)に実施例1、実施例2に示す半導体装置のリードフレームと同じ表面処理を施したものと、従来と同じ表面処理を施したリードフレームを用い、各加熱条件にて銅酸化膜の厚さとA $\alpha$ 存

(パラジウム)、金、白金からなる薄いめっきも同様の作用効果が得られると判断される。これらのリードフレームを用いた半導体装置についても、上記実施例と同様、同じ作用効果が得られると判断される。また、部分銀めっきに代え、部分金めっき、部分パラジウムめっきとした場合にも、上記薄いめっきを設けることが有効であることは言うまでもない。

# 【0032】

【発明の効果】本発明は、上記のように、ICの組み立て条件によらず、リードフレームに起因するデラミネーションの発生を防止でき、且つ、ボンディング性を損なわない、銅合金製のリードフレームを用いた半導体装置の提供を可能としており、同時に、本発明の半導体装置に用いられるリードフレームと、その製造方法の提供を可能としている。そしてまた、本発明のリードフレームの部分貴金属めっき方法は、本発明のリードフレームの製造を可能とするものであるが、特に、薄い貴金属めっきを均一性良く所定の厚さに形成できるものとしている。

# 【図面の簡単な説明】

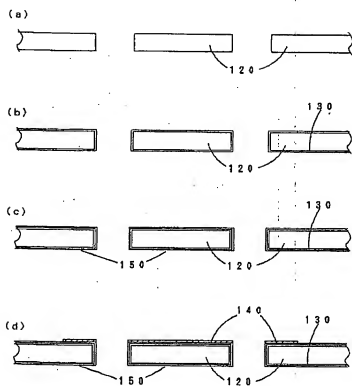
【図1】本発明リードフレームの実施例1の概略図  
 【図2】本発明リードフレームの実施例2の概略図  
 【図3】本発明リードフレームの部分めっき方法の実施例1の工程概略図  
 【図4】本発明リードフレームの部分めっき方法の実施例2の工程概略図  
 【図5】実施例のリードフレームを用いた半導体装置の製作工程を説明するための図  
 【図6】銅酸化膜の状態を説明するための図  
 【図7】本発明の半導体装置の実施例の断面図  
 【図8】実施例半導体装置に用いたリードフレームの加熱処理と樹脂密着強度を説明するための図  
 【図9】従来のリードフレームの概略図  
 【図10】従来の半導体装置とリードフレームを説明するための図

# 【符号の説明】

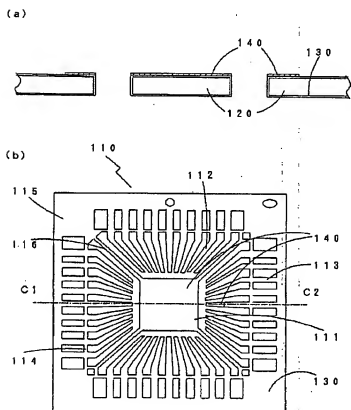
110	リードフレーム
111	ダイパッド
112	インナーリード
113	アウトーリード
114	ダムバー
115	枠(フレーム)部
116	吊りバー
110A	外形加工されたリードフレーム
120	リードフレーム素材(銅合金)
120a	銅合金
130	銅めっき
130A	銅酸化膜
130Aa	Cu <sub>2</sub> O
130Ab	CuO
140	部分銀めっき
140A	銀モレ部
150	薄い銀めっき
150A	拡散された銀の存在領域
160	半導体素子
161	電極パッド(端子)
170	銀ペースト
180	ワイヤ(金線)
190	封止用樹脂
200	半導体装置
1000	樹脂封止型半導体装置
1010	リードフレーム
1011	ダイパッド
1012	インナーリード
1013	アウトーリード
1014	ダムバー
1015	フレーム(枠)部
1020	半導体素子
1021	電極パッド(端子)
1030	ワイヤ
1040	樹脂



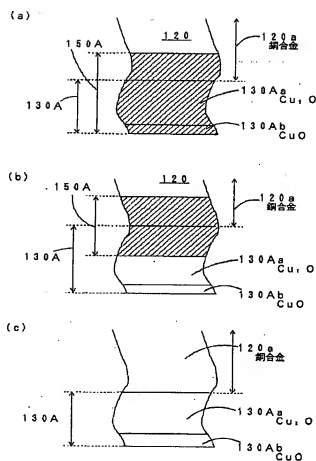
【図4】



【図9】



【図6】



【図10】

